

PUB-NO: FR002726125A1

DOCUMENT-IDENTIFIER: **FR 2726125 A1**

TITLE: Thermally stabilised semiconductor bipolar transistor

PUBN-DATE: April 26, 1996

INVENTOR-INFORMATION:

NAME	COUNTRY
DELAGE, SYLVAIN	N/A
FLORIOT, DIDIER	N/A
BLANCK, HERVE	N/A
ROUX, PASCAL	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
THOMSON CSF	FR

APPL-NO: FR09412725

APPL-DATE: October 25, 1994

PRIORITY-DATA: FR09412725A (October 25, 1994)

INT-CL (IPC): H01L027/082, H01L023/34

EUR-CL (EPC): H01L029/73

US-CL-CURRENT: **257/E29.176**

ABSTRACT:

The semiconductor component comprises a bipolar transistor, having an emitter, base and collector. The base is in series with a resistor (RB) and capacitor (CB), in parallel. The semiconductor component may comprise numbers of bipolar transistors mounted in parallel on a substrate, the transistor bases are connected to a base bus by assemblies of resistors and capacitors. The emitters may be connected to an emitter bus and the collectors connected

together by a collector bridge. The device may be on an insulating substrate doped with Gallium Arsenide. The component may be effective at frequencies of around 1 Gigahertz. Alternatively, emitter, collector and base may be on a bed, on the substrate, the resistor in the bed and the capacitor on the substrate.

(19) RÉPUBLIQUE FRANÇAISE
 INSTITUT NATIONAL
 DE LA PROPRIÉTÉ INDUSTRIELLE
 PARIS

(11) N° de publication :
 (à n'utiliser que pour les
 commandes de reproduction)

2 726 125

(21) N° d'enregistrement national :

94 12725

(51) Int Cl^e : H 01 L 27/082, 23/34

(12)

DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 25.10.94.

(30) Priorité :

(71) Demandeur(s) : THOMSON CSF SOCIETE
 ANONYME — FR.

(72) Inventeur(s) : DELAGE SYLVAIN, FLORIOT DIDIER,
 BLANCK HERVE et ROUX PASCAL.

(43) Date de la mise à disposition du public de la
 demande : 26.04.96 Bulletin 96/17.

(56) Liste des documents cités dans le rapport de
 recherche préliminaire : *Se reporter à la fin du
 présent fascicule.*

(60) Références à d'autres documents nationaux
 apparentés :

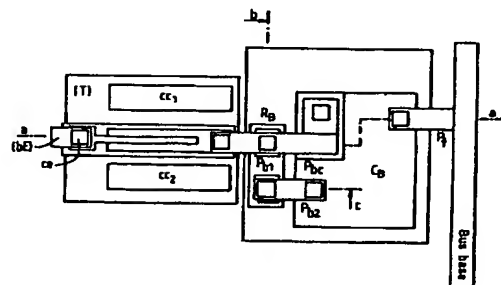
(73) Titulaire(s) :

(74) Mandataire : THOMSON CSF.

(54) COMPOSANT SEMICONDUCTEUR A TRANSISTORS BIPOLAIRES, STABILISES THERMIQUEMENT.

(57) L'invention concerne un composant semiconducteur à
 transistors bipolaires. Ce composant est stabilisé thermi-
 quement grâce à la présence de résistance de ballast R_B

montée en série au niveau de la base de chaque transistor. Pour obtenir des performances élevées
 ce type de montage est d'autre part monté en paral-
 lèle avec un condensateur C_B .
 Application: Amplificateurs, oscillateurs.



FR 2 726 125 - A1



COMPOSANT SEMICONDUCTEUR A TRANSISTORS BIPOLAIRES, STABILISES THERMIQUEMENT

Le domaine de l'invention est celui des composants
5 semiconducteurs comprenant des transistors bipolaires, destinés à
fonctionner notamment en hyperfréquences en tant qu'amplificateurs de
puissance ou oscillateurs accordables.

D'une manière générale, la réalisation de composants
hyperfréquences de puissance nécessite l'utilisation en parallèle d'un
10 ensemble de transistors bipolaires élémentaires. Une des architectures
actuellement développée est celle illustrée en figure 1 dans laquelle les
différents émetteurs des différents transistors sont reliés à un "bus émetteur"
(bE) via des rubans métalliques conducteurs, les différentes bases étant
reliées à un "bus de base" (bB) via des rubans métalliques conducteurs et
15 les contacts ohmiques du collecteur des composants élémentaires sont
reliés par un ruban métallique du type pont-à-air enjambant les composants
élémentaires, les différents collecteurs étant reliés à un "bus collecteur" via
les jambes d'un pont collecteur (PC).

Cependant, dans ces dispositifs de puissance, on assiste à des
20 problèmes d'emballement thermique du fait de la dérive de la caractéristique
courant-tension de la jonction émetteur-base des transistors (de l'ordre de
-1,5 mV/K). Cette dérive de la caractéristique courant-tension de la jonction
émetteur-base entraîne que, par exemple, pour un courant de base fixé, les
zones les plus chaudes drainent pratiquement la totalité du courant base et
25 donc du courant collecteur. Au fur et à mesure que la puissance dissipée
augmente dans le composant, un gradient thermique de plus en plus marqué
s'établit. Les doigts centraux plus chauds drainent plus de courant que les
doigts aux extrémités. Par réaction en chaîne, seul un doigt central finit par
conduire.

30 On a pallié ce phénomène en ajoutant classiquement des
résistances de ballast en série sur chacun des doigts d'émetteur du
composant de puissance. Du fait de la chute de potentiel dans ces
résistances, une dépolarisation d'autant plus forte des jonctions émetteur-
base intervient que le courant d'émetteur les traversant est élevée. Cela
35 entraîne donc une contre-réaction régulant la distribution du courant dans le
composant de puissance, qui diminue l'emballement thermique.

Cependant, l'opération de ballastage au niveau de l'émetteur présente un handicap que propose de résoudre le composant semiconducteur selon l'invention.

En effet, dans l'ensemble des courbes courant de collecteur I_C en
5 fonction de la tension V_{CE} pour un courant de base I_b imposé, telles qu'illustrées en figure 2, il apparaît une tension de déchet $V_{CE\ min}$ qui correspond au passage du comportement saturé au fonctionnement linéaire. Le composant peut être utilisé entre cette tension et la tension de claquage $V_{CE\ max}$. Or la tension de déchet croît avec la résistance R_e au niveau de
10 l'émetteur. Ballaster l'émetteur revient donc à diminuer la plage de tension $V_{CE\ max}-V_{CE\ min}$, dans laquelle le composant semiconducteur est susceptible de fonctionner, ce qui part là-même affecte le rendement de puissance ajoutée du composant. De plus, l'augmentation de la résistance d'émetteur implique une perte par effet Joule dans cet élément, ce qui
15 dégrade aussi le rendement de puissance ajoutée. Par ailleurs, la réalisation des résistances de ballast pour des applications hyperfréquences impose à la fois des faibles valeurs (environ 5 ohms) et une grande compacité (30 μm x 8 μm) pour limiter les délais de propagation et l'apparition d'inductances parasites. La réalisation pratique de telles résistances est particulièrement
20 difficile, et seule des résistances métalliques sont utilisables, et cela avec le risque d'apparition de phénomènes d'électromigration (densité de courant de l'ordre de $10^6\ A\ cm^{-2}$).

Pour pallier ces phénomènes, l'invention propose d'éviter le problème de l'emballement thermique, en ballastant le composant
25 semiconducteur grâce à une résistance R_B montée en série au niveau de la base. Pour compenser la perte de gain en courant à hautes fréquences et notamment en hyperfréquences due à la présence d'une résistance de ballastage, la résistance R_B est de plus montée en parallèle avec un condensateur C_B , l'ensemble (R_B , C_B) étant alors monté en série avec la
30 base.

Plus précisément, l'invention a pour objet un composant semiconducteur, comprenant au moins un transistor bipolaire comportant un émetteur (E), une base (B), un collecteur (C) caractérisé en ce que la base (B) est mise en série avec un ensemble résistance R_B , condensateur C_B
35 montés en parallèle ; les transistors bipolaires utilisés dans le composant

semiconducteur selon l'invention peuvent avantageusement être des transistors bipolaires à hétérojonction (TBH) en raison des excellentes performances qu'ils permettent d'atteindre comme il sera explicité ultérieurement. De préférence, le composant semiconducteur comprend
5 plusieurs transistors (Ti) en parallèle, élaborés sur un substrat (S), les bases (Bi) des transistors (Ti) étant reliées à un bus de base (bB) via les circuits (résistance R_{Bi} , condensateur C_{Bi}), les émetteurs (Ei) étant reliés à un bus d'émetteur (bE), les collecteurs (Ci) étant reliés entre eux par un pont collecteur (PC).

10 Le substrat (S) peut avantageusement être un substrat semiconducteur à base de matériau III-V ou silicium, homogène ou de type semiconducteur sur isolant.

L'invention a aussi pour objet un procédé de réalisation d'un composant semiconducteur comprenant au moins un transistor bipolaire (Ti)
15 réalisé à partir de l'empilement d'au moins une couche (I_C) dans laquelle est réalisé le collecteur (C_i) de (Ti), d'une couche (I_b) dans laquelle est réalisée la base (Bi) de (Ti), d'une couche (I_e) dans laquelle est réalisé l'émetteur (Ei) de (Ti) sur un substrat (S), caractérisé en ce qu'il comprend :

- la réalisation d'une résistance (R_{Bi}) dans la couche (I_b)
- 20 - la réalisation d'un condensateur (C_{Bi}) sur le substrat (S)
- le montage en série avec la base (Bi) du transistor (Ti), de l'ensemble résistance (R_{Bi}) condensateur (C_{Bi}) montés en parallèle.

De préférence, le procédé selon l'invention comprend la connexion des différentes bases (Bi) via leur ensemble (R_{Bi} , C_{Bi}) à un bus
25 de base commun. Les différents émetteur (Ei) sont de préférence connectés à un bus commun émetteur.

L'invention sera mieux comprise et d'autres avantages apparaîtront à la lecture de la description qui va suivre et des figures annexées parmi lesquelles :

- 30 - la figure 1 illustre une architecture de composant de puissance, selon l'art antérieur utilisant un ensemble de transistors élémentaires ;
- la figure 2 illustre l'évolution des courbes I_C courant de collecteur en fonction de la tension V_{CE} entre collecteur et émetteur, pour différents courants de base ;

- la figure 3 illustre l'évolution du gain en puissance en fonction de la fréquence d'utilisation du composant ;

- la figure 4 illustre une coupe d'un exemple de composant semiconducteur selon l'invention, dans laquelle seul un transistor (Ti) est représenté ;

- la figure 5 illustre un ensemble résistance R_{Bi} , condensateur C_{Bi} , monté entre la base d'un transistor (Ti) et le bus de base commun :

- * la figure 5a illustre une vue de dessus

- * la figure 5b illustre une coupe selon un axe aa situé au niveau de l'émetteur

- * la figure 5c illustre une coupe bc

- la figure 6 illustre l'évolution du gain en puissance en fonction de la fréquence, pour des composants respectivement non ballasté, ballasté au niveau de l'émetteur, ballasté au niveau de la base ;

- la figure 7 illustre l'évolution du critère de stabilité en fréquence pour les trois composants précités.

L'invention a donc pour objet un composant semiconducteur présentant au moins un transistor dans lequel un ensemble monté en parallèle d'une résistance R_B et d'un condensateur C_B est mis en série au niveau de la base (B) du transistor bipolaire.

De préférence, le composant semiconducteur selon l'invention est un composant de puissance possédant plusieurs transistors couplés en parallèle. Les différents transistors (Ti) sont conçus sur un substrat semiconducteur commun. Les différentes bases (Bi) des transistors sont reliées à un bus de base (bB) commun, via les circuits (R_{Bi} , C_{Bi}) permettant le ballastage au niveau de la base de chaque transistor élémentaire. De même les différents émetteurs sont reliés à un bus commun d'émetteur (bE). Les différents collecteurs peuvent être reliés entre eux via les jambes d'un pont collecteur (PC).

Les transistors bipolaires utilisés sont de préférence des transistors bipolaires à hétérojonctions dont le principe de fonctionnement est très proche de celui des transistors bipolaires à homojonction, mais dont les différences structurelles permettent d'escompter de meilleures performances.

Le composant semiconducteur selon l'invention, comprend montés en parallèle une résistance R_B de ballastage et un condensateur C_B , l'ensemble d'un tel montage fournit une impédance qui tend vers une valeur d'autant plus faible que la fréquence est élevée. Ainsi en
5 hyperfréquences, on parvient à des composants semiconducteurs capables d'avoir des fréquences d'utilisation très élevées.

Parallèlement, on définit classiquement le gain en puissance G comme le rapport de la puissance de sortie P_s du transistor, sur la puissance d'entrée P_i du transistor : ($G = P_s/P_i$). L'évolution de ce paramètre
10 G avec la fréquence est donnée à la figure 3. Typiquement ce gain est très élevé à basse fréquence, or l'on définit également un critère de stabilité k tel que lorsqu'il est supérieur à 1, le transistor est stable (pas d'oscillation) et lorsqu'il est inférieur à 1, le dispositif est instable, ce critère k croît généralement avec la fréquence. En mettant une résistance R_B , on diminue
15 le gain G ce qui permet de diminuer fortement les phénomènes d'oscillation indésirable à basses fréquences. Dans la gamme de fréquences, voisines de quelques gigahertz, l'impédance de l'ensemble (R_B , C_B) devient plus faible qu'à basse fréquence le gain G ne chute donc pas beaucoup et l'on dispose ainsi d'un dispositif capable d'être stable tout en ayant un gain en
20 puissance important (G important avec k supérieur à 1).

Nous allons décrire un exemple de réalisation de composant selon l'invention utilisant notamment une étape originale de procédé quant à la réalisation des résistances de ballastage R_B .

Le composant semiconducteur de l'invention est destiné à délivrer
25 de la puissance et s'obtient typiquement à l'aide du couplage de plusieurs transistors élémentaires. Il peut s'agir d'une dizaine de transistors ayant chacun une surface d'émetteur d'environ $2 \times 30 \mu\text{m}^2$ afin d'obtenir une puissance de sortie de 1W à la fréquence de 10 GHz.

Nous allons décrire la structure élémentaire d'un transistor (T_i)
30 ainsi que l'ensemble (R_{B_i} , C_{B_i}) qui lui est associé.

La figure 4 illustre une coupe d'un transistor (T_i) réalisé pour un composant selon l'invention.

De manière générale, les transistors élémentaires sont élaborés à partir de structure multicouches. En effet, à partir d'un substrat
35 semiconducteur (S) on peut élaborer une première couche de sous

collecteur fortement dopée n, par exemple une couche de GaAs dopé Si avec une concentration de $3 \cdot 10^{18} \text{cm}^{-3}$. Au dessus on élabore une couche de collecteur (C) du transistor par dépôt d'une couche GaAs dopé n (concentration typiquement de l'ordre $2 \cdot 10^{16} \text{cm}^{-3}$), puis une couche de

5 base (B) en GaAs dopé p dopage au carbone avec une concentration de l'ordre $7 \cdot 10^{19} \text{cm}^{-3}$ et enfin une couche pour l'émetteur (E) en GaInP dopé n, puis recouverte d'une couche plus conductrice en GaAs fortement dopé (par exemple avec Si et une concentration de $3 \cdot 10^{18} \text{cm}^{-3}$). GaInP présente l'intérêt d'avoir une bande interdite plus élevée que $\text{Ga}_{1-x}\text{Al}_x\text{As}$

10 généralement utilisé dans d'autres (TBH). D'autre part, il existe divers procédés de gravure, soit par voie chimique aqueuse, soit par gravure sèche qui permettent de graver sélectivement le couple GaInP/GaAs, et ainsi graver entièrement la couche d'émetteur en s'arrêtant sur la base avec une excellente sélectivité.

15 A partir de cette structure multicouche on réalise les différents éléments : transistor, résistance, condensateur. Pour cela on grave sélectivement les différents couches. La figure 4 illustre bien la structure élémentaire (Ti). Ainsi on dégage l'ensemble des couches, localement pour réaliser des isolations électriques dans la couche de sous collecteur,

20 typiquement par implantation ionique de bore pour isoler les différents transistors les uns des autres et pour diminuer les capacités parasites. De même, la couche de collecteur est partiellement déagée pour élaborer des contacts cc permettant la prise de contact au niveau du collecteur. Ces contacts cc peuvent être élaborés par métallisation de type AuGe/Ni/Au

25 bien adapté à la technologie des matériaux III-V. En poursuivant une architecture pyramidale on élabore la base (B) du transistor en dégageant la couche de base, sur laquelle on dégage à nouveau l'émetteur pour assurer des prises de contact au-dessus de la base (B), ces prises de contact cb peuvent être réalisées par dépôt de Ti/Pt/Au. De même, la prise de contact

30 au niveau de l'émetteur peut être assurée par un contact ce et ce également en Ti/Pt/Au.

Parallèlement à la réalisation des transistors (Ti), on réalise sur la structure multicouche de départ un ensemble de résistances R_{Bj} montées en parallèle avec des condensateurs C_{Bj} , les couples (R_{Bj}, C_{Bj}) étant mis

35 en série entre les transistors élémentaires (Ti) et le bus de base (bB).

Dans la présente invention, utilisant le ballastage base (stabilisation des courants de base), on est amené à réaliser des résistances présentant des valeurs plus élevées que les résistances de ballastage au niveau de l'émetteur. En effet, ces résistances au niveau de la base sont
5 traversées par des courants β (β gain en courant) fois plus faibles, et dissipant une puissance continue β fois moins importante. Alors que les résistances de ballastage au niveau de l'émetteur sont typiquement de quelques ohms, les résistances R_B utilisées dans l'invention doivent être de l'ordre d'une centaine d'ohms pour éviter de la même façon, les problèmes
10 d'emballement thermique.

La couche de base utilisée dans l'exemple de réalisation présente typiquement une résistance superficielle d'environ 120Ω par carré permettant d'exploiter cette valeur pour réaliser la résistance R_B . Ainsi en utilisant des résistances en semiconducteur, les risques d'apparition de
15 l'électromigration peuvent être fortement diminués, en raison de densité de courant plus faibles.

La structure de condensateur C_B est quant à elle élaborée au niveau du substrat semiconducteur et résulte des dépôts successifs de métal diélectrique (type nitrure)-métal (capacité dite métal-isolant-métal).

20 La figure 5a illustre une vue de dessus de l'association d'un transistor (T_i) et d'un circuit résistance R_B -condensateur C_B . Alors que les figures 5b et 5c illustrent respectivement une coupe aa et une coupe bc de ladite vue de dessus.

La figure 5a schématise un transistor (T_i) dans lequel sont
25 représentés les deux contacts collecteurs cc_1 et cc_2 , le contact émetteur ce relié au bus émetteur bE. Un premier pont Pb_1 métallique relie la base du transistor à la résistance de ballast base en un point relié via un pont P_{bc} à l'armature inférieure du condensateur C_B . Un second pont Pb_2 relie la résistance R_B à l'armature supérieure du condensateur. Un tel montage
30 permet de monter en parallèle la résistance R_B et le condensateur C_B . Un dernier pont Pf assure la liaison entre le circuit résistance-condensateur et le bus de base bB reliant toutes les bases (Bi) des transistors (T_i) entre elles.

Les performances obtenues en hyperfréquence grâce au ballastage au niveau de la base sont maintenant illustrées par la comparaison entre :

- un transistor élémentaire à hétérojonction de $2 \times 30 \mu\text{m}^2$ de surface d'émetteur (HBTSS) ;
- un transistor identique au HBTSS, avec une résistance de ballast d'émetteur (6Ω typique) (HBTBE) ;
- un transistor selon l'invention identique au HBTSS avec une résistance de ballast sur la base (120Ω), un condensateur en parallèle ($1,5 \text{ pF}$), avec une résistance série (1Ω) représentant les imperfections d'un condensateur intégré (Métal-Isolant-Métal) (HBTBB).

La figure 6 illustre l'évolution du gain en puissance en fonction de la fréquence pour les trois composants HBTSS, HBTBE, HBTBB. On remarque que le gain à 10 GHz est bien évidemment le plus élevé pour le transistor sans ballast, que le transistor avec le ballast sur la base perd seulement un décibel par rapport au transistor non ballasté à 10 GHz et que le composant ballasté sur l'émetteur perd quant à lui environ 3,2 dB.

La figure 7 illustre l'évolution du critère de stabilité k en fonction de la fréquence. On remarque que le composant avec ballast sur la base est le plus stable, suivi par le composant non ballasté, alors que le transistor avec un ballast sur l'émetteur n'est jamais stable jusqu'à 20 GHz.

REVENDICATIONS

1. Composant semiconducteur, comprenant au moins un transistor bipolaire comportant un émetteur (E), une base (B), un collecteur (C), caractérisé en ce que la base (B) est mise en série avec un ensemble résistance (R_B), condensateur (C_B) montés en parallèle.

2. Composant semiconducteur selon la revendication 1, caractérisé en ce qu'il comprend plusieurs transistors bipolaires (T_i) montés en parallèle sur un substrat (S), les bases (B_i) des transistors étant reliées via des doigts conducteurs à un bus de base (bB), lesdits doigts comportant les ensembles (R_{B_i} , C_{B_i}), les émetteurs (E_i) des transistors étant reliés via des doigts conducteurs à un bus émetteur (bE), les collecteurs (C_i) des transistors étant reliés entre eux par un pont collecteur (PC).

3. Composant semiconducteur selon l'une des revendications 1 ou 2, caractérisé en ce que les transistors sont des transistors bipolaires à hétérojonctions.

4. Composant semiconducteur selon l'une des revendications 1 à 3, caractérisé en ce que le substrat semiconducteur homogène est du GaAs.

5. Composant semiconducteur selon l'une des revendications 1 à 3, caractérisé en ce que le substrat est de type semiconducteur sur isolant.

6. Composant semiconducteur selon la revendication 4, caractérisé en ce que les matériaux constitutifs de la base et du collecteur sont respectivement du GaAs dopé p et du GaAs dopé n.

7. Composant semiconducteur selon la revendication 4, caractérisé en ce que le matériau constitutif de l'émetteur est du GaInP dopé n.

8. Utilisation du composant semiconducteur selon l'une des revendications 1 à 7, caractérisée en ce qu'elle est effectuée dans une gamme de fréquences supérieures à environ 1 Gigahertz.

9. Procédé de réalisation d'un composant semiconducteur comprenant au moins un transistor bipolaire (T_i) réalisé à partir de l'empilement d'au moins une couche (I_C) dans laquelle est réalisé le collecteur (C_i) de (T_i), d'une couche (I_B) dans laquelle est réalisée la base (B_i) de (T_i), d'une couche (I_E) dans laquelle est réalisé l'émetteur (E_i) de (T_i) sur un substrat (S), caractérisé en ce qu'il comprend :

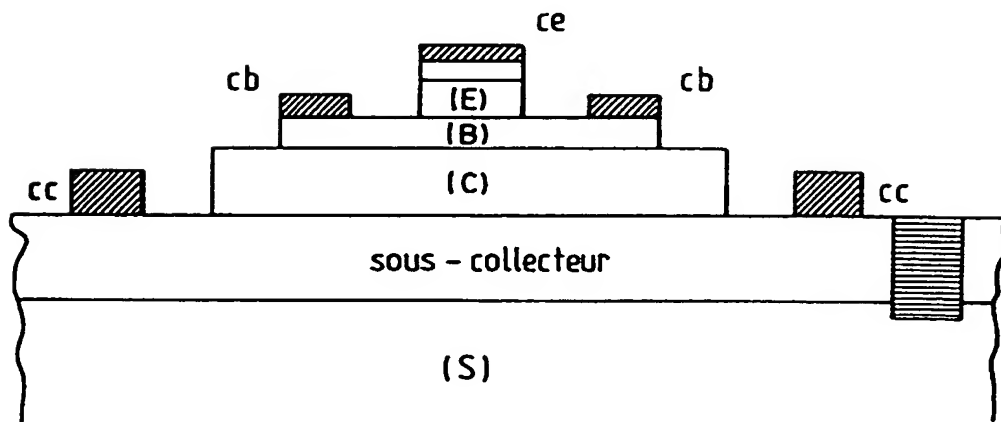
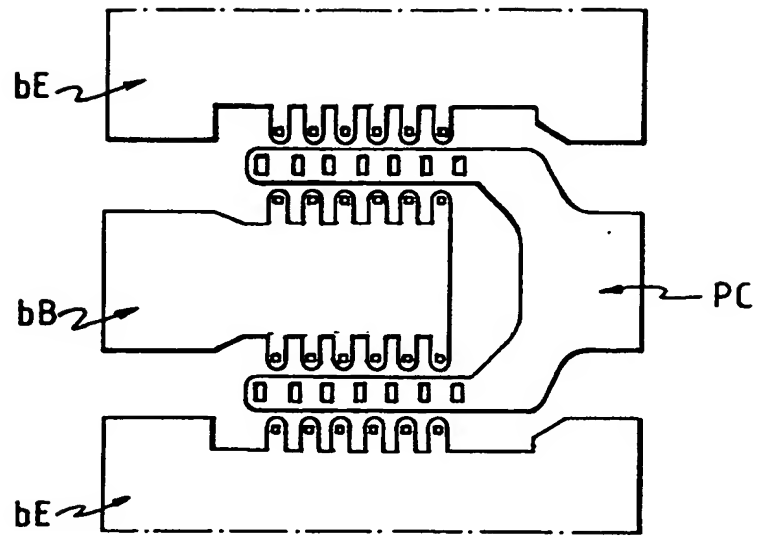
- la réalisation d'une résistance (R_{B_i}) dans la couche (I_B)

- la réalisation d'un condensateur (C_{Bi}) sur le substrat (S)
- le montage en série avec la base (B_i) du transistor (T_i), de l'ensemble résistance (R_{Bi}) condensateur (C_{Bi}) montés en parallèle.

5 10. Procédé de réalisation de composant semiconducteur selon la revendication 9, caractérisé en ce que les résistance (R_{Bi}) sont réalisées dans la couche (I_B).

 11. Procédé de réalisation de composant semiconducteur selon la revendication 10, caractérisé en ce que le matériau de la couche (I_B) est du

10 GaAs dopé avec du carbone.



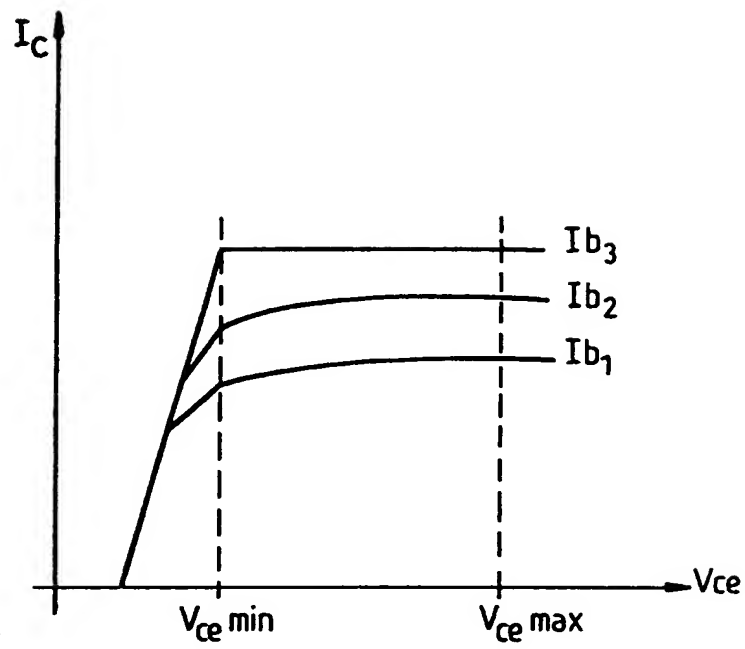


FIG. 2

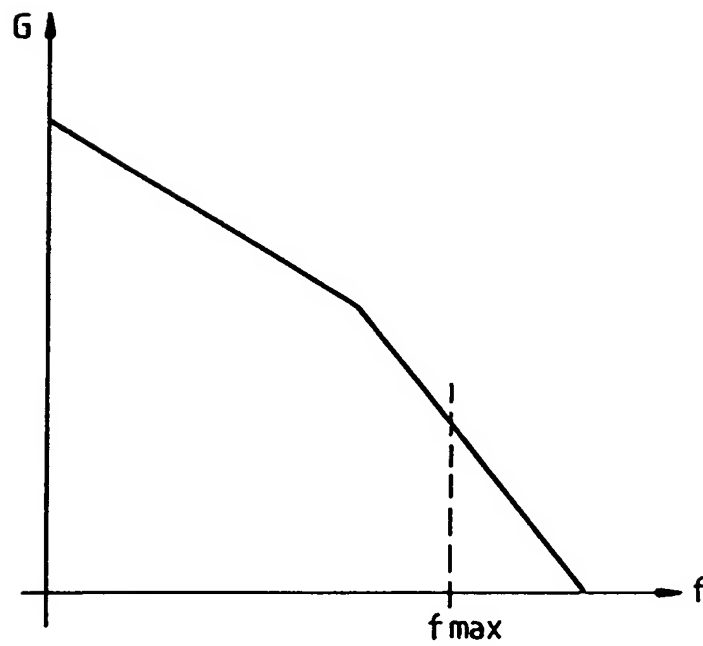
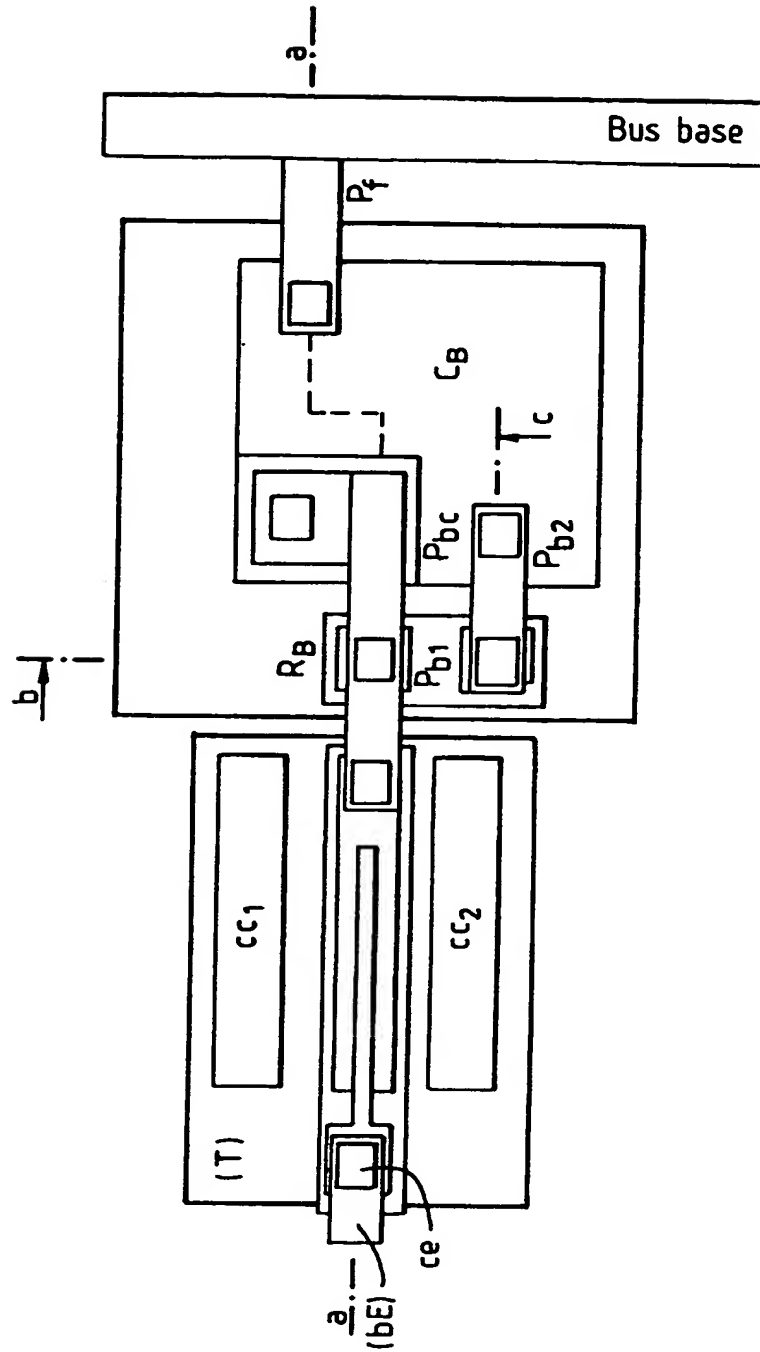
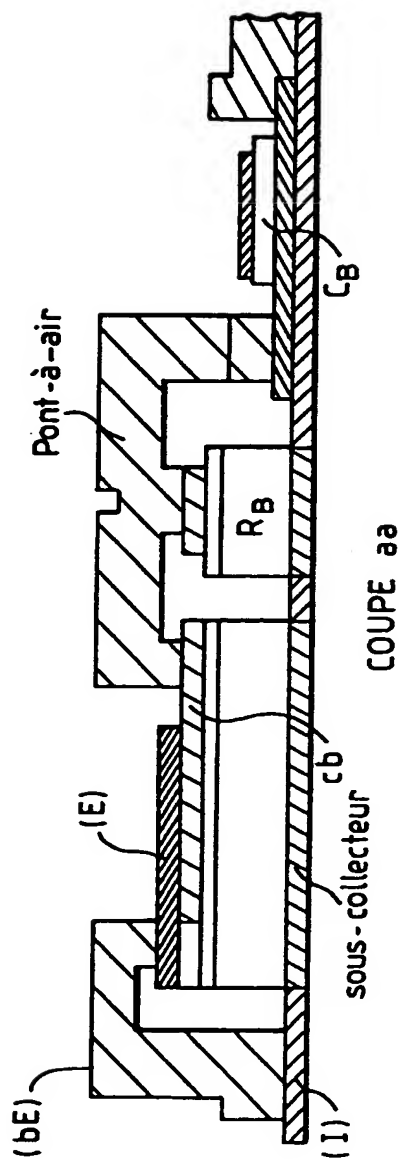
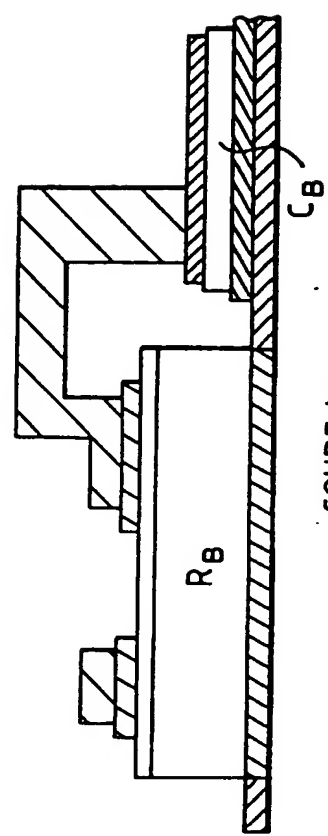


FIG. 3





COUPE aa
FIG.5b



COUPE bc
FIG.5c

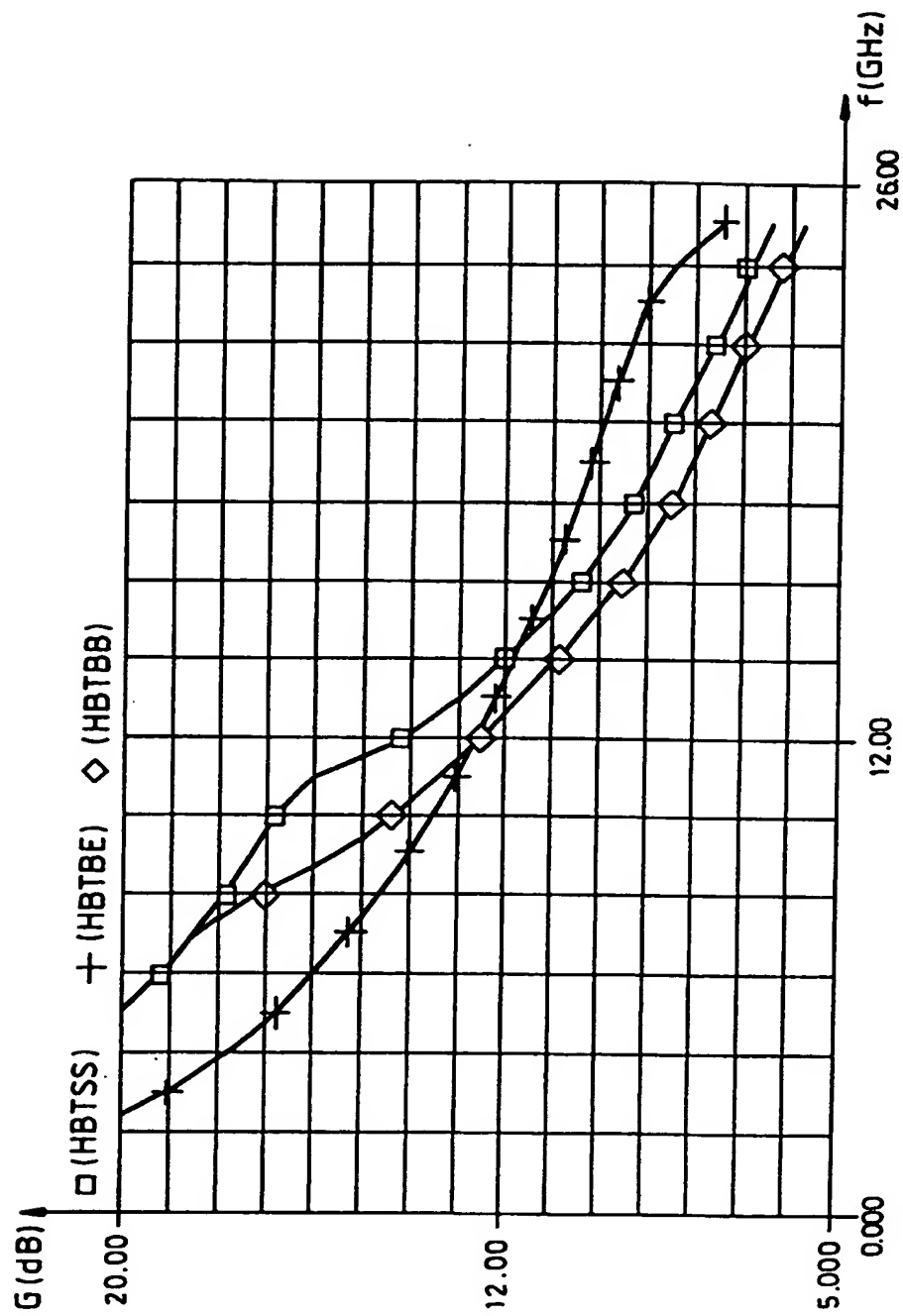


FIG. 6

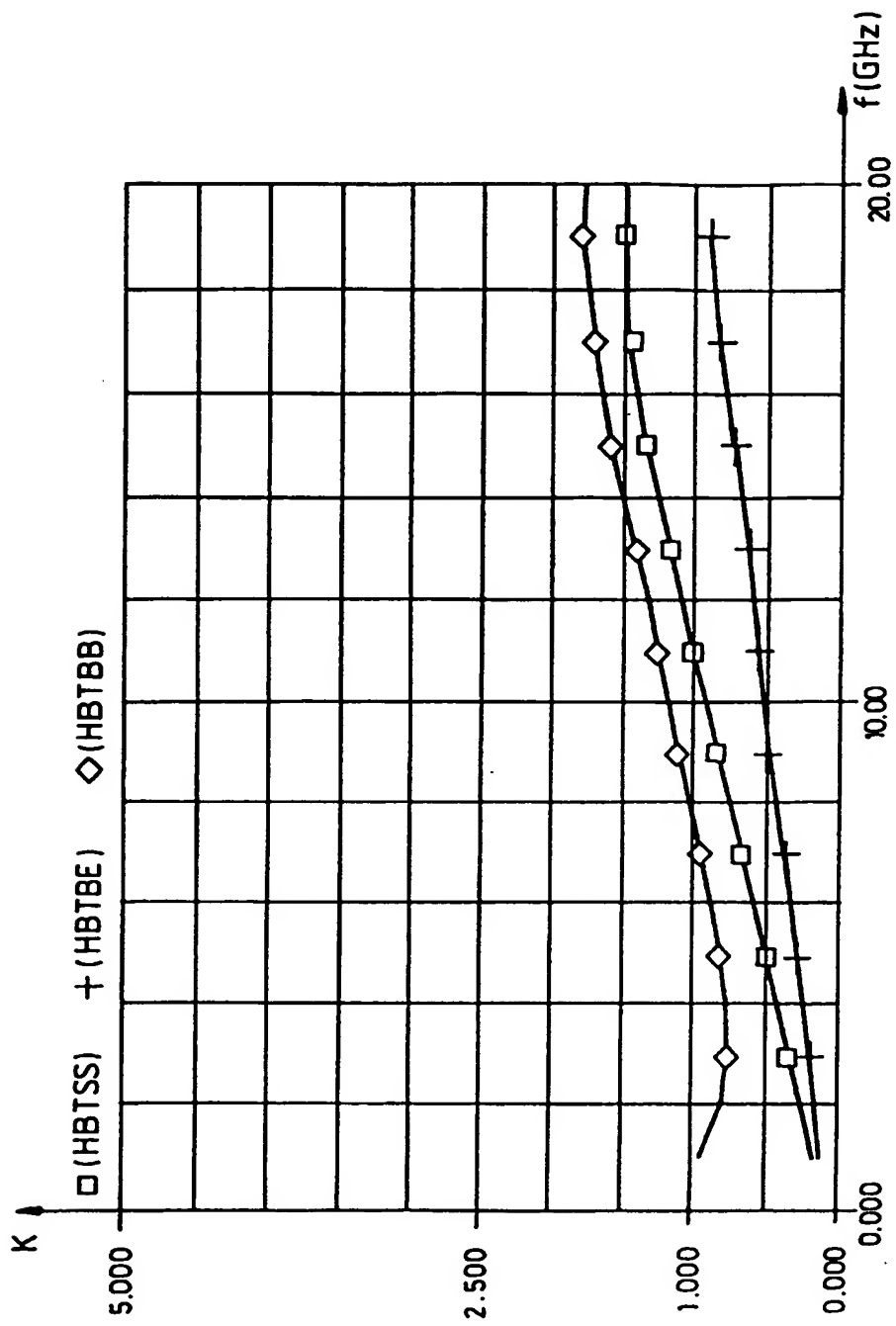


FIG. 7

RAPPORT DE RECHERCHE
PRELIMINAIREétabli sur la base des dernières revendications
déposées avant le commencement de la recherche

2726125

N° d'enregistrement
nationalFA 509393
FR 9412725

DOCUMENTS CONSIDERES COMME PERTINENTS			Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	EP-A-0 597 397 (TEXAS INSTRUMENTS INC) 18 Mai 1994 * page 3, colonne 3, ligne 37 - colonne 4; revendications 1-3,5-9; figures 4,5 *	1-5	
X	EP-A-0 546 919 (FRANCE TELECOM) 16 Juin 1993 * page 5, colonne 8, ligne 2 - page 6, colonne 9, ligne 42; revendications 1-3,8; figures 3-6 *	1-6	
A	IEEE MICROWAVE AND GUIDED WAVE LETTERS, vol. 4, no. 9, Septembre 1994 NEW YORK US, pages 293-295, W. LIU ET AL. 'First Demonstration of High-Power GaInP/GaAs HBT MMIC Power Amplifier with 9.9 W Output Power at X-Band' * document en entier *	3-7,9,11	
A	EP-A-0 289 343 (SONY CORP) 2 Novembre 1988 * page 7, colonne 11, ligne 13 - colonne 34; revendication 7; figure 5G *	10	DOMAINES TECHNIQUES RECHERCHES (Int. CL.4)
			H01L
Date d'achèvement de la recherche		Examinateur	
18 Juillet 1995		Fransen, L	
<p>CATÉGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'un ou de plusieurs revendications ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons</p> <p>A : membre de la même famille, document correspondant</p>			